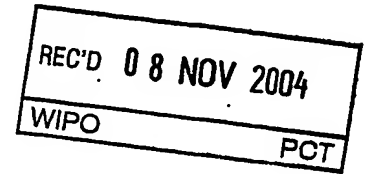


28. 10. 2004

BEST AVAILABLE COPY

**Prioritätsbescheinigung über die Einreichung  
einer Patentanmeldung**

**Aktenzeichen:** 103 48 007.2

**Anmeldetag:** 15. Oktober 2003

**Anmelder/Inhaber:** Infineon Technologies AG, 81669 München/DE

**Bezeichnung:** Verfahren zum Strukturieren und Feldeffekttransistoren

**IPC:** H 01 L 21/336

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 7. Oktober 2004  
Deutsches Patent- und Markenamt

Der Präsident  
Im Auftrag

Remus

**PRIORITY  
DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

Beschreibung

Verfahren zum Strukturieren und Feldeffekttransistoren

5 Die Erfindung betrifft ein Verfahren zum Strukturieren. Insbesondere sollen möglichst kleine minimale Strukturbreiten mit dem Verfahren erzeugbar sein, d.h. Strukturbreiten kleiner als einhundert Nanometer oder sogar kleiner als fünfzig Nanometer.

10

Zum Erzeugen von Strukturbreiten, die unterhalb einer halben Wellenlänge von in einem Lithografieverfahren eingesetzten elektromagnetischen Wellen liegen, lassen sich u.a die folgenden Verfahren einsetzen:

- 15 - Spacertechnik, bei der an einer Stufe eine Schicht abgeschieden und anschließend isotrop geätzt wird,  
- sogenannte Phasenmasken, die Interferenzeffekte ausnutzen, und  
- sogenanntes Trimmen, bei dem eine Struktur isotrop geätzt  
20 wird, um ihre Abmessungen zu Verringern.

Es ist Aufgabe der Erfindung ein einfaches Verfahren zum Strukturieren anzugeben, mit dem insbesondere minimale Abmessungen unterhalb einer halben fotolithografischen Wellenlänge erzeugt werden können, insbesondere unterhalb von einhundert Nanometern oder unterhalb von fünfzig Nanometern. Das Verfahren soll außerdem insbesondere die Möglichkeit bieten auch die mechanische Belastbarkeit von Strukturen mit minimaler Strukturbreite zu erhöhen. Außerdem sollen Feldeffekttransistoren angegeben werden, insbesondere ein Doppel-Finnen-  
30 Feldeffekttransistor.

Die auf das Verfahren bezogene Aufgabe wird durch ein Verfahren mit den im Patentanspruch 1 angegebenen Merkmalen gelöst.  
35 Weiterbildungen sind in den Unteransprüchen angegeben.

Die Erfindung geht von der Überlegung aus, dass sämtliche bekannte Verfahren mit Nachteilen verbunden sind. So führt die Spacertechnik zu abgerundeten Spacern, welche die Maßhaltigkeit einer mit den Spacern geätzten Struktur beeinträchtigen. Phasenmasken sind sehr teuer im Vergleich zu Fotomasken, die keine Interferenzeffekte ausnutzen. Das Trimmen führt zu nicht maßhaltigen vergleichsweise rauen Strukturen auf Grund von inhomogenen Ätzbedingungen.

10 Bei dem erfindungsgemäßen Verfahren werden die folgenden Verfahrensschritte ohne Beschränkung durch die angegebene Reihenfolge ausgeführt:

- Aufbringen einer Hilfsschicht auf ein Trägermaterial, wobei die Hilfsschicht entweder eine anorganische Schicht oder eine organische Schicht ist, insbesondere eine Resistschicht,
- 15 - Strukturieren der Hilfsschicht und des Trägermaterials unter Erzeugen einer Aussparung,
- Aufweiten der Aussparung im Bereich der Hilfsschicht, wobei die Aussparung im Bereich des Trägermaterials nicht oder
- 20 nicht so stark wie im Bereich der Hilfsschicht aufgeweitet wird,
- Auffüllen der aufgeweiteten Aussparung mit einem Füllmaterial,
- vorzugsweise vollständiges Entfernen der Hilfsschicht nach dem Auffüllen,
- Strukturieren des Trägermaterials unter Verwendung des Füllmaterials und unter Erzeugen mindestens einer weiteren Aussparung, wobei das Füllmaterial ein anorganisches Material oder ein organisches Material ist, bspw. ein Resist.

30

Damit wird ein weiteres Verfahren zum Strukturieren angegeben, das es gestattet, auf einfachem Weg sehr kleine und sehr maßhaltige Strukturen zu erzeugen. Das Aufweiten der Aussparung wird bei einer Ausgestaltung mit einem Rückätzschritt

35 durchgeführt, der auch als pull-back-Schritt bezeichnet wird. Durch das Aufweiten entsteht eine Aussparung mit T-förmigem Querschnitt. Folglich hat auch das in die Aussparung einge-

bracht Füllmaterial einen T-förmigen Querschnitt, d.h. einen Querschnitt, der sich zu einem Ende hin symmetrisch aufweitet.

5 Das Aufweiten lässt sich durch einen zusätzlichen Maskierungsschritt, insbesondere durch ein zusätzliches fotolithografisches Verfahren auch auf einen Teil des Randes der Aussparung begrenzen, so dass insbesondere auch nur eine Struktur je Aussparung erzeugt wird. Oft ist es jedoch nicht störend, wenn je Aussparung zwei oder mehr als zwei Strukturen entstehen, so dass kein zusätzlicher Maskierungsschritt erforderlich ist. Insbesondere kann durch geeignete Wahl der Abmessungen der Aussparung der zusätzliche Maskierungsschritt vermieden werden.

15 Bei einer Weiterbildung werden die Hilfsschicht und das Trägermaterial zum Erzeugen der Aussparung mit einem fotolithografischen Verfahren strukturiert. Die Fotolithografie beschränkt die kleinste laterale Abmessung der Aussparung und damit die Abmessungen zwischen den zu erzeugenden Strukturen. Dies ist jedoch hinnehmbar, da in vielen Fällen die Abstände zwischen Strukturen erheblich größer sind als die minimale Strukturbreite der Strukturen selbst. Ist die Hilfsschicht eine Resistschicht, so werden Zwischenschichten verwendet, um zunächst nur die obere Resistschicht nicht aber die Hilfsschicht zu entfernen.

Bei einer anderen Weiterbildung wird das Füllmaterial vor dem nochmaligen Strukturieren planarisiert, z.B. mit einem CMP-  
30 Verfahren, um eine maßhaltige Füllstruktur und damit eine maßhaltige nachfolgende Strukturierung zu erhalten. Anstelle des Planarisierens lassen sich jedoch auch andere Verfahren einsetzen, z.B. ein selektives Füllen mit einer selektiven Oxidation.

35 Bei einer anderen Weiterbildung des erfindungsgemäßen Verfahrens enthält das Trägermaterial eine Hart-Maskenschicht, die

mit Hilfe des Füllmaterials strukturiert wird. Die Maskenschicht dient dann bspw. ihrerseits zur Strukturierung eines Substrates, bspw. zur Herstellung einer Halbleiterschaltung, insbesondere zur Herstellung von Gateelektroden, z.B. aus  
5 polykristallinem Silizium, aus Metall oder aus einer Schichtenfolge aus Metall und polykristallinem Silizium. Die Hart-Maskenschicht wird aber auch zur Herstellung einer sogenannten Stencil-Maske eingesetzt, d.h. einer Maske mit der später ein fotolithografisches Verfahren, z.B. Elektronen-  
10 Projektionslithografie, mit einem Abbildungsmaßstab von 1:1 durchgeführt wird. Hart-Maskenschichten sind im Vergleich zu einem Resist beständiger gegen Ätzangriffe.

Zwischen der Maskenschicht und der Hilfsschicht befindet sich  
15 bspw. nur noch eine im Vergleich zur Maskenschicht oder zur Hilfsschicht dünne Zwischenschicht, deren Dicke bspw. weniger als ein Drittel der dünneren der beiden Schichten beträgt. Die Zwischenschicht dient bspw. der besseren mechanischen Haftung oder zur Aufnahme von mechanischen Spannungen.

20 Bei einer alternativen Weiterbildung enthält das Trägermaterial ein Halbleitermaterial, insbesondere ein einkristallines Halbleitermaterial, aus dem eine Halbleiterschaltung oder eine Maske gefertigt wird. Die Aussparung legt dann bspw. bereits die eine Seitenfläche einer Finne für einen FinFET fest.

Bei einer nächsten Weiterbildung wird in der aufgeweiteten Aussparung vor dem Auffüllen mindestens eine Schicht abgeschieden oder aufgewachsen, insbesondere eine elektrisch  
30 isolierende Schicht zur Erzeugung eines Gatedielektrikums und eine elektrisch leitfähige Schicht zur Erzeugung einer Gateelektrode eines Feldeffekttransistors. Die in die Aussparung eingebrachte Schicht lässt sich ihrerseits mit dem erfindungsgemäßen Verfahren strukturieren, so dass auf einfache  
35 Weise kurze Gatelängen erzeugt werden.

Bei einer nächsten Weiterbildung wird eine neben der mit dem Füllmaterial gefüllten Aussparung befindliche weitere Aussparung mit einem weiteren Füllmaterial gefüllt, bevor das zur Strukturierung verwendete Füllmaterial entfernt wird. Das zur

5 Strukturierung dienende Füllmaterial wird erst nach dem Füllen der weiteren Aussparung entfernt, so dass auch dünne Strukturen zwischen den beiden Aussparungen jederzeit seitlich gestützt werden. Die Strukturen können also weder umkippen noch sich seitlich neigen.

10

Bei einer alternativen Weiterbildung wird das Füllmaterial aus der Aussparung nur teilweise entfernt, wobei ein Teil des Bodens der Aussparung freigelegt wird und ein anderer Teil des Bodens der Aussparung mit Füllmaterial bedeckt bleibt.

15 Der Rest des Füllmaterials dient als mechanische Stütze und wird erst nach der Durchführung weiterer Verfahrensschritte entfernt, z.B. nach der Abscheidung mindestens einer weiteren Schicht oder nach der Durchführung einer Oxidation. Alternativ verbleibt der Rest des Füllmaterials in einer integrierten Schaltungsanordnung.

20

Bei einer anderen Weiterbildung wird ein Halbleitermaterial im Bereich zwischen der Aussparung und der weiteren Aussparung oxidiert, um die elektrischen Eigenschaften eines Transistors zu verbessern, insbesondere um parasitäre Kapazitäten unter Drain- bzw. Sourcekontaktpads zu vermeiden. Die Oxidation wird vorzugsweise vor dem Entfernen des Füllmaterials aus der Aussparung oder vor dem vollständigen Entfernen des Füllmaterials aus der Aussparung und vorzugsweise nach dem

30 Erzeugen einer Oxidationsschutzschicht an mindestens einer Seitenwand der weiteren Aussparung durchgeführt. Damit stützt das Füllmaterial die Strukturen unter die das Oxid wächst. Bei einer vollständigen Isolation des Steges durch das bei der Unteroxidation erzeugte Oxid entsteht eine SOI-Struktur,

35 die einfach herzustellen ist und zu Bauelementen mit hervorragenden elektrischen Eigenschaften führt.

Kleine minimale Strukturbreiten werden insbesondere bei Feldeffekttransistoren benötigt. Deshalb betrifft die Erfindung in weiteren Aspekten Feldeffekttransistoren, wie sie insbesondere mit dem erfindungsgemäßen Verfahren oder einer seiner Weiterbildungen erzeugt werden können, so dass in diesem Fall die oben erläuterten technischen Wirkungen gelten. Ein erfindungsgemäßer Doppel-Finnen-Feldeffekttransistor zeichnet sich durch im Vergleich zu einem Einfach-Finnen-Feldeffekttransistor durch verbesserte und neue elektrische Eigenschaften aus, die neue Anwendungsmöglichkeiten eröffnen. Auch Feldeffekttransistoren mit mehr als zwei Finnen je Transistor werden hergestellt, bspw. mit drei, vier oder fünf Finnen.

Bei einem anderen erfindungsgemäßen Feldeffekttransistor ist die Finne bspw. thermisch unteroxidiert und vorzugsweise vollständig vom Siliziumwafer elektrisch isoliert. Solche Transistoren lassen sich einfach herstellen, wenn bzgl. der mechanischen Stabilität die Finne immer an einer Wand gestützt wird, bspw. durch das Füllmaterial oder durch ein weiteres Füllmaterial, dass nach dem Strukturieren mit Hilfe des in der Aussparung enthaltenen Füllmaterials aufgebracht wird.

Bei einer Weiterbildung des Feldeffekttransistors hat ein Vorsprung für den aktiven Bereich des Transistors verschieden lange Seitewände, wobei der Unterschied größer als ein Nanometer, größer als drei Nanometer oder größer als fünf Nanometer ist. Dies bietet die Möglichkeiten den Ätzstopp beim ersten Strukturieren und beim zweiten Strukturieren mit größeren Toleranzen durchzuführen. Außerdem wird eine Unteroxidation der Vorsprünge erleichtert.

Im Folgenden werden Ausführungsbeispiele der Erfindung an Hand der beiliegenden Zeichnungen erläutert. Darin zeigen:

Figuren 1A bis 1D    Herstellungsstufen eines Ausführungsbeispiels zum Herstellen einer Hartmaske oder zur direkten Strukturierung eines Halbleitersubstrats,

5                    Figuren 2A bis 2D    Herstellungsstufen eines Ausführungsbeispiels zur Herstellung eines Doppel-Finnen-Feldeffekttransistors mit bzw. ohne Unteroxidation, und,

Figuren 3A und 3B    weitere Herstellungsstufen zur Herstellung des Doppel-Finnen-Feldeffekttransistors.

10

Figuren 1A bis 1D zeigen Herstellungsstufen eines Ausführungsbeispiels zum Herstellen einer Hartmaske oder zur direkten Strukturierung eines Halbleitersubstrats. Zunächst wird  
15 die Herstellung der Hartmaske erläutert.

Auf einem Halbleitersubstrat 10, z.B. auf einem Siliziumwafer, wird eine Hartmaskenschicht 12 aufgebracht, deren Dicke bspw. von der Höhe einer später mit der fertiggestellten  
20 Hartmaske zu erzeugenden Struktur abhängt. Bspw. stimmt die Dicke der Hartmaskenschicht 12 mit der Höhe eines Gates oder mit der Höhe einer Finne für einen FinFET überein. Im Ausführungsbeispiel beträgt die Dicke der Hartmaskenschicht 12 bspw. 40 Nanometer.

Auf die Hartmaskenschicht 12 wird danach eine Hilfsschicht 14 aufgebracht, die aus einem anderen Material als die Hartmaskenschicht 12 besteht. Bspw. besteht die Hartmaskenschicht 12 aus TEOS (Tetra Ethyl Ortho Silicate)  
30 und die Hilfsschicht 14 aus Siliziumnitrid oder aus einem anderen Nitrid. Bei einem alternativen Ausführungsbeispiel besteht dagegen die Hartmaskenschicht 12 aus einem Nitrid und die Hilfsschicht 14 aus TEOS. Optional wird nach dem Aufbringen der Hartmaskenschicht 12 eine dünne  
35 Zwischenschicht oder eine Zwischenschichtfolge aufgebracht. Die Hilfsschicht 14 wird dann auf die Zwischenschicht oder die Zwischenschichtfolge aufgebracht. Die Hilfsschicht 14 hat

schicht 14 hat im Ausführungsbeispiel eine Dicke im Bereich von fünfzig Nanometern bis einhundert Nanometern.

5     Anschließend wird eine Resistschicht 16, z.B. Fotolack, auf die Hilfsschicht 14 aufgebracht, wobei optional vorher bspw. eine dünne Antireflektionsschicht aufgebracht worden ist. Die Resistschicht 16 wird anschließend gemäß einem Muster be-  
10     strahlt, insbesondere belichtet, und entwickelt. Das Litho-  
   grafieverfahren ist unkritisch, da zu erzeugende minimale Strukturbreiten größer als einhundert Nanometer oder doch  
   größer als fünfzig Nanometer sind. Ein Muster ist bspw. eine Rechteckfläche mit optionalen Erweiterungen für spätere Sour-  
   ce- und Drain-Kontaktpads.

15     Die Hilfsschicht 14 wird anschließend gemäß der Resistschicht 16 mit einem anisotropen Ätzverfahren strukturiert, z.B. mit einem reaktiven Ionenätzen (RIE - Reactive Ion Etching), wobei eine Aussparung 18 entsteht. Die Aussparung 18 wird  
20     anschließend ebenfalls mit einem anisotropen Ätzverfahren bis in die Hartmaskenschicht 12 erstreckt, so dass der Boden der Aussparung bis zum Halbleitersubstrat 10 reicht. Das Halbleitersubstrat 10 dient bspw. als Ätzstopp. Vorzugsweise bleiben die Ätzbedingungen beim Ätzen der Aussparung 18 gleich und es wird ohne Unterbrechung geätzt. Anschließend werden in einem  
   Ausführungsbeispiel die auf der vorstrukturierten Hilfs-  
   schicht 14 verbliebenen Reste der Resistschicht 16 entfernt. In einem weiteren Ausführungsbeispiel bleiben die Re-  
   siststrukturen auf der Hilfsschicht 14 bestehen. Beim Ätzen der Aussparung 12 wird bei einem anderen Ausführungsbeispiel  
30     auch die Hilfsschicht 14 als Maske verwendet, falls die Re-  
   sistschicht 16 auf Grund der Tiefe der Aussparung 18 bereits abgetragen ist.

35     Wie in Figur 1B gezeigt, wird danach ein isotroper Rückätzschritt der Hilfsschicht 14 durchgeführt, wobei die Hilfsschicht 14 richtungsunabhängig und selektiv zur Hartmaskenschicht 12 zu einer Hilfsschicht 14b gedünnt wird. Hierbei

wirkt die Resistschicht 16 als Schutz der Hilfsschicht 14 und verhindert ein Dünnen dieser Schicht, falls die Resistschicht 16 noch vorhanden ist. In diesem Fall wird die Resistschicht 16 anschließend abgetragen. Seitlich wird die Hilfsschicht 14 jedoch in jedem Fall zurückgeätzt. Die Aussparung 18 wird dabei im Bereich der Hilfsschicht 14b zu einer Aussparung 18b erweitert. Im Bereich der Hartmaskenschicht 12 sind dagegen die Abmessungen der Aussparung 18b im Vergleich zur Aussparung 18 unverändert. In der Höhe der Grenze zwischen Hartmaskenschicht 12 und strukturierter Hilfsschicht 14b entsteht in der Aussparung 18 eine etwa parallel zum Boden der Aussparung 18 liegende Fläche 20, von der die Hilfsschicht beim Rückätzen entfernt wird. Bspw. wird um weniger als fünfzig Nanometer oder um weniger als zwanzig Nanometer zurückgeätzt, so dass auch die Fläche 20 eine entsprechende minimale Abmessung hat. Die Aussparung 18b hat auf Grund der Aufweitung einen T-förmigen Querschnitt. Damit bestimmt die Stärke der Rückätzung die zu erzeugende minimale Strukturbreite.

Wie ebenfalls in Figur 1B dargestellt, wird anschließend die erweiterte Aussparung 18b mit einem Füllmaterial 22 gefüllt, das sich hinsichtlich seiner stofflichen Zusammensetzung sowohl vom Material der Hartmaskenschicht 12 als auch vom Material der gedünnten Hilfsschicht 14b unterscheidet. Bspw. wird als Füllmaterial Siliziumkarbid oder polykristallines Silizium verwendet. Nach dem Füllen der Aussparung 18b wird ein Planarisierungsschritt durchgeführt, bei dem die Hilfsschicht 14b als Stoppschicht dient. Bspw. wird mit einem CMP-Verfahren (Chemisches Mechanisches Polieren) oder einem ganzflächigen Ätzprozess planarisiert.

Danach werden die Reste der gedünnten Hilfsschicht 14b selektiv zur Hartmaskenschicht 12 und selektiv zum Füllmaterial 22 mit einem nasschemischen oder trockenchemischen Ätzverfahren entfernt. Oberhalb der Fläche 20 verbleiben Vorsprünge 24 des Füllmaterials 22, die einen Teil der Hartmaskenschicht 12 in

Bereichen bedecken, an denen die Hartmaske gebildet werden soll.

Wie in Figur 1C dargestellt, dienen die Vorsprünge 24 anschließend als Maske beim Strukturieren der Hartmaskenschicht 12 bspw. mit einem anisotropen Ätzverfahren. Bei der Strukturierung der Hartmaskenschicht 12 dient bspw. das Halbleitersubstrat 10 als Ätzstopp. Es entstehen Hartmaskenbereiche 26 unterhalb der Vorsprünge 24.

Wie in Figur 1D gezeigt, wird anschließend das Füllmaterial 20 entfernt, bspw. mit einem trockenchemischen Ätzprozess oder mit einem nasschemischen Ätzprozess. Damit stehen die Hartmaskenbereiche 26 frei und können zur Strukturierung des Halbleitersubstrates 10 dienen. Die Hartmaskenbereiche 26 stehen nahe beieinander und haben eine minimale Abmessung A der Stegbreiten, die sublithografisch ist und insbesondere im Bereich von 5 Nanometern bis 50 Nanometern liegt.

Ein FinFET lässt sich nun nach einem üblichen Verfahren herstellen. Der nächste Schritt zur Herstellung des FinFET besteht in der Herstellung der Finne des FinFETs.

Soll mit Hilfe der Hartmaskenbereiche 26 ein planarer Feldefekttransistor hergestellt werden, so wird an Stelle des Halbleitersubstrates 10 ein Substrat verwendet, das bspw. eine polykristalline Siliziumschicht und ein Dielektrikum als Gatestapel enthält, die mit Hilfe der Hartmaskenbereiche 26 zu Gateelektroden strukturiert wird.

Bei einem alternativen Ausführungsbeispiel wird ein Verfahren mit den gleichen Verfahrensschritten durchgeführt, wie oben an Hand der Figuren 1A bis 1D erläutert. Jedoch ist an der Stelle der Hartmaskenschicht 12 Halbleitersubstrat vorhanden, siehe gestrichelte Linien 28. Jedoch wird die Aussparung 18 zeitgesteuert geätzt. Auch der Ätzschritt unter Verwendung des Füllmaterials als Maske wird zeitgesteuert durchgeführt.

Dadurch können unterschiedlich hohe Seitenwände der Hartmas-  
kenbereiche 26 entstehen, siehe z.B. Figur 2D. Hinsichtlich  
größerer Toleranzen beim zeitgesteuerten Ätzen sind jedoch  
Höhenunterschiede von mehreren Nanometern hinnehmbar, da sich  
5 bspw. die elektrischen Eigenschaften eines FET nur unwesent-  
lich auf Grund der entstehenden Unsymmetrie verschlechtern.

Figuren 2A bis 2D zeigen Herstellungsstufen eines Ausfüh-  
rungsbeispiels zur Herstellung eines Doppel-Finnen-  
10 Feldeffekttransistors mit bzw. ohne Unteroxidation. Zunächst  
wird ein Ausführungsbeispiel ohne Unteroxidation erläutert.

Auf ein Halbleitersubstrat 10c wird mit oder ohne zwischen-  
zeitlicher Abscheidung einer dünnen Zwischenschicht oder  
15 einer dünnen Zwischenschichtfolge eine Hilfsschicht 14c auf-  
gebracht, beispielsweise eine Oxidschicht, insbesondere eine  
Siliziumoxidschicht, oder eine Nitridschicht, insbesondere  
eine Siliziumnitridschicht. Die Hilfsschicht 14c wird mit  
Hilfe einer Resistschicht 16c in einem fotolithografischen  
20 Verfahren strukturiert, wobei eine Aussparung 18c erzeugt  
wird. Die Aussparung 18c wird unter Verwendung der struktu-  
rierten Resistschicht 16c und optional unter Verwendung der  
Hilfsschicht 14c als Maske bis in das Halbleitersubstrat 10c  
erstreckt. Anschließend können gegebenenfalls noch vorhandene  
30 Reste der Resistschicht 16c entfernt werden. Es erfolgt ein  
Rückätzschritt, bei dem die Hilfsschicht 14c zu einer gedünnt-  
en Hilfsschicht 14d wird, die eine kleinere Fläche bedeckt  
als die Hilfsschicht 14c, weil Flächen 20c des Halbleitersub-  
strats im oberen Teil einer erweiterten Aussparung 18d frei-  
gelegt werden. Hinsichtlich der Details wird auf die Erläute-  
rungen zu Figur 1A verwiesen.

Wie in Figur 2B gezeigt, wird nach dem Erzeugen der Ausspa-  
rung 18d, erst eine dünne elektrisch isolierende Isolier-  
35 schicht 50 erzeugt, bspw. durch thermische Oxidation oder in  
einem Abscheideverfahren. Die Isolierschicht 50 besteht bspw.  
aus Siliziumdioxid oder aus einem Material mit einer relati-

ven Dielektrizitätskonstante größer als 3,9, dem Wert der Dielektrizitätskonstante von Siliziumdioxid. Die elektrische Dicke der Isolierschicht 50 beträgt bspw. weniger als 25 Nanometer, bspw. 5 Nanometer.

5

Anschließend wird auf die Isolierschicht 50 eine dünne Gateelektrodenschicht 52 aufgebracht, die bspw. aus einem Metall besteht oder ein Metall enthält. Alternativ besteht die Gateelektrodenschicht 52 aus hochdotiertem polykristallinem Silizium. Die Dicke der Gateelektrodenschicht 52 ist bspw. kleiner als 25 Nanometer.

10

Nach dem Erzeugen der Gateelektrodenschicht 52 wird auf die Gateelektrodenschicht 52 ein Füllmaterial 22c aufgebracht, z.B. ein elektrisch leitfähiges Material, z.B. dotiertes Silizium, oder ein elektrisch isolierendes Material, z.B. ein Oxid. Danach wird planarisiert, wobei auf der Hilfsschicht 14d gestoppt wird. Bspw. wird mit einem CMP-Verfahren planarisiert. Nach dem Planarisieren sind die Isolierschicht 50, die Gateelektrodenschicht 52 und das Füllmaterial 22c nur noch innerhalb der Aussparung 18d vorhanden.

15

20

Nach dem Planarisieren wird die Hilfsschicht 14d selektiv zum Halbleitersubstrat 10c, zum Füllmaterial 22c, zur Gateelektrodenschicht 52 und möglichst auch selektiv zur Isolierschicht 50 entfernt.

Wie in Figur 2C dargestellt, werden anschließend mit Hilfe von Vorsprüngen 54 des Füllmaterials in der Aussparung 18d Stege bzw. Finnen 56 in einem anisotropen Ätzverfahren erzeugt. Beim anisotropen Ätzen ergibt sich ggf. ein Höhenunterschied D von beispielsweise etwa 5 Nanometern zwischen dem Boden der Aussparung 18d und parallel zum Boden der Aussparung 18d liegenden Substratflächen außerhalb der Aussparung 18d. Vorzugsweise gehen die freien Seiten der Finnen 56 tiefer in das Halbleitersubstrat 10c als die die Aussparung 18c begrenzenden Seiten der Finnen 56.

30

35

Wie weiter in Figur 2C dargestellt, wird an den freiliegenden Seitenflächen der Finnen 56 und am freiliegenden Halbleiter-substrat 10c eine Isolierschicht 60 erzeugt, die die gleiche stoffliche Zusammensetzung und die gleiche Schichtdicke wie die Isolierschicht 50 hat. Beide Isolierschichten 50 und 52 dienen im Bereich der Stege 56 als Gatedielektrikum eines Doppel-Finnen-Feldeffekttransistors.

10 Anschließend wird auf die Isolierschicht 60 eine weitere Gateelektrodenschicht 62 aufgebracht, die aus dem gleichen Material besteht und die gleiche Dicke hat wie die Gateelektrodenschicht 52.

15 Zu diesem Zeitpunkt sind die Finnen 56 bereits mit einem Gatedielektrikum 50, 62 und mit einer dünnen Gateelektrode 52, 62 umgeben, die jedoch noch nicht strukturiert ist. Die dünne Gateelektrode 60, 62 und das Füllmaterial 22c dienen als mechanische Stütze für die ultradünnen Finnen 56.

20

Wie in Figur 2D dargestellt, wird bei dem Ausführungsbeispiel vor dem Entfernen des Füllmaterials 22c aus Oxid, Gatematerial 70 aufgebracht, z.B. dotiertes Silizium, insbesondere polykristallines Silizium. Danach wird planarisiert, wobei das Füllmaterial 22c als Stopp dient. Erst danach wird das Füllmaterial 22c entfernt und durch Gatematerial 72 ersetzt, bspw. durch polykristallines Silizium. Demzufolge sind die Stege 56 immer ausreichend mechanisch gestützt.

30 Wie in Figur 2D dargestellt, werden danach das Gatematerial 70, 72 und die Gateelektrodenschichten 52, 62 strukturiert. Dazu wird bspw. ein fotolithografisches Verfahren oder/und eine Spacertechnik eingesetzt. Optional wird eine Hartmaske 74 verwendet. Weiterhin optional wird ein Trimmsschritt der Hartmaske 74 durchgeführt, um die Gatelänge zu reduzieren.  
35 Alternativ kann eine Elektronenstrahlolithografie verwendet werden.

Bei einem anderen Ausführungsbeispiel wird das Füllmaterial 22c vor dem Aufbringen des Gatematerials 70c unter Verwendung eines zusätzlichen lithografischen Verfahrens nur in einem mittleren Bereich der Finnen 56 entfernt. An den Enden der Stege 56 verbleibt das Füllmaterial 22 dagegen als Stütze. Das Gatematerial 70 und 72 wird dann gleichzeitig abgeschieden, so dass nur ein Planarisierungsschritt zum Planarisieren von Gatematerial erforderlich ist.

Anschließend werden die Gates strukturiert, bspw. mit einer Hartmaske gemäß dem ersten Ausführungsbeispiel oder mit einem fotolithografischen Schritt zum Erzeugen minimaler Strukturweiten.

Wie in Figur 2C durch gestrichelte Linien dargestellt, wird bei einem anderen Ausführungsbeispiel nach dem Erzeugen der Isolierschicht 62 eine dünne Oxidationsschutzschicht 80 abgeschieden. Anschließend wird anisotrop geätzt, so dass die Oxidationsschutzschicht 80 nur an den von der Aussparung 18d abgewandten Seitenwänden der Finnen 56 verbleibt. Beim anisotropen Ätzen wird bis zum Halbleitersubstrat 10c geätzt. Bspw. ist das RIE zum anisotropen Ätzen geeignet.

Wie weiter in Figur 2C durch gestrichelte Linien dargestellt, wird danach eine thermische Oxidation des Halbleitersubstrats 10c durchgeführt, wobei sich an den freiliegenden Bereichen des Halbleitersubstrats 10c und an der Basis der Stege 56 Oxidbereiche 82 bilden, welche die Finnen 56 vom Halbleitersubstrat 10c elektrisch isolieren.

Das Unteroxidieren der Stege 56 wird erleichtert, wenn der Abstand D vor der Oxidation bereits mehrere Nanometer beträgt. Zusätzlich oder alternativ kann auch beim anisotropen Ätzen der Oxidationsschutzschicht weiter in das Halbleitersubstrat 10c geätzt werden, bspw. um mehr als 5 Nanometer. Weiterhin alternativ oder zusätzlich wird das Unteroxidieren

begünstigt, wenn das Halbleitersubstrat 10c vor der Oxidation isotrop geätzt wird, wobei jeweils eine Aussparung unterhalb der Finne 56 erzeugt wird, die Finnen 56 aber nicht vollständig vom Halbleitersubstrat 10c abgetrennt werden. Die mechanische Stütze für die Stege 56 bildet bei der Unteroxidation und dem ggf. durchgeführten isotropen Unterätzen der Stege das Füllmaterial 22c, das entweder noch nicht aus der Aussparung 18d oder nur in einem Teilbereich der Aussparung 18d entfernt worden ist.

10

Die weitere Verfahrensführung entspricht der an Hand der Figur 2D erläuterte Verfahrensführung, d.h. Aufbringen des Füllmaterials 70 bzw. 72 nach einem der erläuterten Verfahren.

15

Figuren 3A und 3B zeigen weitere Herstellungsstufen zur Herstellung eines Doppel-Finnen-Feldeffekttransistors 100. Figur 3A zeigt den Transistor 100 nach der Strukturierung des Gateapfels wie oben beschrieben. Die Gateelektroden sind in Form eines schmalen Streifens 72a über den Finnen 56 ausgebildet. An den Enden des Streifens befinden sich bspw. quadratische Kontaktflächen zum Anschluss des Gates. Die Gatelänge ist durch die Breite des Streifens gegeben und beträgt bspw. 20 Nanometer bei einer Breite der Finnen 56 von jeweils 6 Nanometern

5

Wie in Figur 3B dargestellt, wird anschließend eine thermische Oxidation oder eine Oxidabscheidung z.B. mit einem CVD-Verfahren (Chemical Vapor Deposition) mit anschließendem

30

anisotropen Rückätzen durchgeführt, wobei an freiliegenden Flächen der Finnen 56 und an freiliegenden Seiten des Gatematerials 72a Oxidspacer 102 gebildet werden. Die Oxidspacer 102 isolieren später u.a. das Gatematerial vom Sourceanschlussmaterial bzw. vom Drainanschlussmaterial. An Stelle der Oxidspacer lassen sich auch Spacer aus einem anderen Material verwenden, z.B. Nitridspacer, insbesondere Siliziumnitridspacer.

35

Es erfolgt eine optionale Implantation für Sourceerweiterungen bzw. Drainerweiterungen (extensions) mit einer vergleichsweise niedrigen Dotierstoffkonzentration. Die Implantation wird bspw. schräg zur oder entgegen der Normalenrichtung der aktiven Oberfläche des Halbleitersubstrates 10c durchgeführt. Nach einer weiteren Oxidation und einem Rückätzschritt zur Erzeugung weiterer Spacer werden die Anschlussbereiche für das Source- bzw. für das Draingebiet implantiert, wobei eine höhere Dotierstoffkonzentration als zuvor implantiert wird. Auch die zweite Implantation wird bspw. schräg oder entgegen der Normalenrichtung durchgeführt.

Anschließend werden Drain- und Sourcekontaktlöcher 104 bzw. 106 erzeugt. Es entsteht ein Doppel-Finnen-Feldeffekttransistor 100 mit eng benachbarten Finnen und sublithografischer Finnenbreite. Beim Herstellen der Sourceanschlussbereiche 104 bzw. 106 werden bspw. die folgenden Schritte durchgeführt:

- selbstausrichtende Siliziderzeugung gemäß der Salizidtechnik durch Aufbringen des Metalls für die Silizidbildung, selektive Silizidierung und Entfernen des nicht silizidierten Metalls. Dabei wird eine Silizidbildung auf der ebenen Substratgrundfläche bspw. durch das bei der Unteroxidation erzeugte Oxid bzw. durch eine zusätzlich aufgebrachte Oxidschicht verhindert, die an Stelle der Unteroxidationsschicht aufgebracht wird.

- Planarisierung z.B. durch Aufbringen eines Dielektrikums, z.B. eines Oxides, gefolgt von bspw. einer CMP-Planarisierung.

- Herstellen von Kontaktlöchern 104, 106 zu den Anschlussbereichen.

Bei dem Verfahren gemäß der Figuren 1A bis 1D lassen sich im Vergleich zu dem Verfahren gemäß Figuren 2A bis 2D leichter tiefere Strukturen bzw. Strukturen mit höheren Seitenwänden ätzen.

Mit den gleichen Verfahrensschritten lassen sich auch Einfach-Finnen-Feldeffekttransistoren erzeugen, wenn die Finnen mittels der Trimmmaske in den betreffenden Bereichen entfernt werden.

## Patentansprüche

1. Verfahren zum Strukturieren,

bei dem die folgenden Verfahrensschritte ausgeführt werden:

5 Aufbringen einer Hilfsschicht (14, 14c) auf ein Trägermaterial (12, 10c),

Strukturieren der Hilfsschicht (14, 14c) und des Trägermaterials (12, 10c) unter Erzeugen einer Aussparung (18, 18c),

10 Aufweiten der Aussparung (18, 18c) im Bereich der Hilfsschicht (14, 14c), wobei die Aussparung (18, 18c) im Bereich des Trägermaterials (12, 10c) nicht oder nicht so stark wie im Bereich der Hilfsschicht (14, 14c) aufgeweitet wird,

Auffüllen der aufgeweiteten Aussparung (18b, 18d) mit einem Füllmaterial (22, 22c),

15 Entfernen der Hilfsschicht (14, 14c) nach dem Auffüllen, Strukturieren des Trägermaterials (12, 10c) unter Verwendung des Füllmaterials (22, 22c) und unter Erzeugen mindestens einer weiteren Aussparung.

20 2. Verfahren nach Anspruch 1, gekennzeichnet durch die Schritte:

Aufbringen einer Maskenschicht (16, 16c) auf die Hilfsschicht (14, 14c) vor dem Erzeugen der Aussparung (18, 18c),

5 Strukturieren der Maskenschicht (16, 16c) mit einem lithografischen Verfahren,

Erzeugen der Aussparung (18, 18c) gemäß der strukturierten Maskenschicht (16, 16c).

30 3. Verfahren nach Anspruch 1 oder 2, gekennzeichnet durch den Schritt:

Planarisieren des Füllmaterials (22, 22c) vor dem nochmaligen Strukturieren.

4. Verfahren nach einem der vorhergehenden Ansprüche, da -

35 durch gekennzeichnet, dass es zum Erzeugen einer minimalen Strukturbreite kleiner als einhundert Nanometer oder kleiner als fünfzig Nanometer verwendet wird.

5. Verfahren nach einem der vorhergehenden Ansprüche, gekennzeichnet durch die Schritte:

- Ausbilden einer Maskenschicht (12) als Trägermaterial vor dem  
 5 Aufbringen der Hilfsschicht (14),  
 Strukturieren eines Grundmaterials (10) unter Verwendung der  
 Maskenschicht (12) nach dem Strukturieren des Trägermaterials  
 (12) unter Verwendung des Füllmaterials (22).

10 6. Verfahren nach einem der vorhergehenden Ansprüche, gekennzeichnet durch den Schritt:

Verwenden eines Halbleitermaterials (10c) als Trägermaterial  
 (10c), insbesondere eines einkristallinen Halbleitermaterials  
 (10c).

15

7. Verfahren nach Anspruch 6, gekennzeichnet durch den Schritt:

- Ausbilden mindestens einer Schicht (50, 52) in der aufgeweiteten Aussparung (18d) vor dem Auffüllen, insbesondere einer  
 20 elektrisch isolierenden Schicht (50) und einer elektrisch leitfähigen Schicht (52).

8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, dass die Schicht (50, 52) mit einem Verfahren nach einem der Ansprüche 1 bis 5 strukturiert wird.

5

9. Verfahren nach einem der Ansprüche 6 bis 8, gekennzeichnet durch die Schritte:

- Füllen der weiteren Aussparung mit einem weiteren Füllmaterial (70),  
 30 al (70),

Entfernen des zur Strukturierung dienenden Füllmaterials (22, 22c) nach dem Füllen der weiteren Aussparung.

10. Verfahren nach einem der Ansprüche 6 bis 8, gekennzeichnet durch die Schritte:

35

teilweises Entfernen des Füllmaterials (22, 22c) aus der Aussparung (18, 18c), wobei ein Teil des Bodens der Ausspa-

rung (18, 18c) freigelegt wird und ein anderer Teil des Bodens der Aussparung (18, 18c) mit Füllmaterial (22, 22c) bedeckt bleibt.

- 5 11. Verfahren nach einem der Ansprüche 6 bis 10, gekennzeichnet durch den Schritt:  
Oxidation des Halbleitermaterials (10c) im Bereich zwischen der Aussparung (18c) und der weiteren Aussparung, insbesondere in einem sich von der Aussparung (18c) zu der weiteren  
10 Aussparung erstreckenden Zwischenbereich, vorzugsweise vor dem Entfernen des Füllmaterials (22c) und vorzugsweise nach dem Erzeugen einer Oxidationsschutzschicht (80) an mindestens einer Seitenwand der weiteren Aussparung.
- 15 12. Feldeffekttransistor (100), mit zwei Kanalanschlussbereichen (104, 106), mit einem Steuerbereich (52, 62), der mindestens zwei Steuerabschnitte enthält,  
mit einem aktiven Bereich (56), der einerseits zwischen den  
20 Kanalanschlussbereichen (104, 106) und andererseits zwischen zwei Steuerbereichsabschnitten angeordnet ist,  
und mit elektrisch isolierenden Isolierbereichen (50, 60), die zwischen den Steuerbereichsabschnitten und dem aktiven Bereich (56) angeordnet sind,  
5 gekennzeichnet durch mindestens zwei weitere im Steuerbereich (52, 62) enthaltene Steuerbereichsabschnitte, ---  
durch einen weiteren aktiven Bereich (56), der einerseits zwischen den Kanalanschlussbereichen (104, 106) und andererseits  
30 zwischen zwei weiteren Steuerbereichsabschnitten angeordnet ist,  
und durch weitere elektrisch isolierende Isolierbereiche (50, 60), die zwischen den weiteren Steuerbereichsabschnitten und dem weiteren aktiven Bereich (56) angeordnet sind.

13. Feldeffekttransistor (100) nach Anspruch 12, g e k e n n -  
z e i c h n e t durch ein Substrat (10c), in dem der  
Feldeffekttransistor (100) ausgebildet ist,  
wobei die aktiven Bereiche in Vorsprüngen (56) des Substrats  
5 (10c) ausgebildet sind.

14. Feldeffekttransistor (100) nach Anspruch 13, d a d u r c h  
g e k e n n z e i c h n e t, dass die Kanalanschlussbereiche  
(104, 106) den gleichen Abstand zu dem Boden eines zwischen  
10 zwei Vorsprüngen (56) angeordneten Grabens (18c) haben.

15. Feldeffekttransistor (100),  
mit zwei Kanalanschlussbereichen (104, 106),  
mit einem Steuerbereich (52, 62), der mindestens zwei Steuer-  
15 bereichsabschnitte enthält,  
mit einem als Vorsprung (56) eines Substrates (10c) ausgebil-  
deten aktiven Bereich, der einerseits zwischen den Kanal-  
anschlussgebieten (104, 106) und andererseits zwischen zwei  
Steuerbereichsabschnitten angeordnet ist,  
20 und mit elektrisch isolierenden Isolierbereichen (50, 60),  
die zwischen den Steuerbereichsabschnitten und dem aktiven  
Bereich (56) angeordnet sind,  
d a d u r c h g e k e n n z e i c h n e t, dass der Vorsprung  
(56) durch ein elektrisch isolierendes Isoliermaterial (82)  
5 an seiner Basis vom Substrat (10c) getrennt ist.

16. Feldeffekttransistor (100) nach Anspruch 15, d a d u r c h  
g e k e n n z e i c h n e t, dass zwei an der Basis des Vor-  
sprungs liegende Seitenflächen des Vorsprungs (56) quer an  
30 zwei Substratflächen des Substrats (10c) grenzen, die in zwei  
zueinander beabstandeten Ebenen angeordnet sind, wobei der  
Abstand (D) größer als ein Nanometer, größer als drei Nanome-  
ter oder größer als fünf Nanometer ist.

35 17. Feldeffekttransistor (100) nach Anspruch 15 oder 16,  
d a d u r c h g e k e n n z e i c h n e t, dass die Steuerbe-

reichsabschnitte an den beiden Seitenflächen des Vorsprungs (56) ausgebildet sind.

18. Feldeffekttransistor (100) nach einem der Ansprüche 15  
 5 bis 17, d a d u r c h g e k e n n z e i c h n e t , dass das Isoliermaterial (82) am Vorsprung (56) lateral endet und insbesondere nicht über mindestens eine Seitenfläche des Vorsprungs (56) hinausragt.

# Zusammenfassung

## Verfahren zum Strukturieren und Feldeffekttransistoren

- 5 Erläutert wird unter anderem ein Verfahren zum Strukturieren, bei dem ein Füllmaterial (22) mit T-förmigem Querschnitt als Maske beim Strukturieren verwendet wird, um Strukturen mit sublithografischen Abmessungen zu erzeugen, insbesondere einen Doppel-Finnen-Feldeffekttransistor.

10

(Figur 1B)



Bezugszeichenliste

	10, 10c	Halbleitersubstrat
	12	Hartmaskenschicht
5	14, 14b, 14c	Hilfsschicht
	16	Resistschicht
	18, 18b	Aussparung
	20, 20c	Fläche
	22, 22c	Füllmaterial
10	24	Vorsprung
	26	Hartmaskenbereich
	28	gestrichelte Linie
	50	Isolationsschicht
	52	Gateelektrodenschicht
15	54	Vorsprung
	56	Finne
	D	Höhenunterschied
	60	Isolationsschicht
	62	Gateelektrodenschicht
20	70, 72	Gatematerial
	74	Hartmaske
	80	Oxidationsschutzschicht
	82	Oxidbereich
	100	Doppel-Finnen-Feldeffekttransistor
	102	Oxidspacer
	104, 106	Kontaktloch
	A	maximaler Abstand

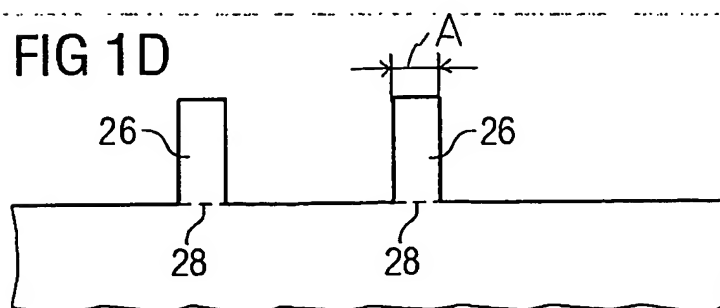
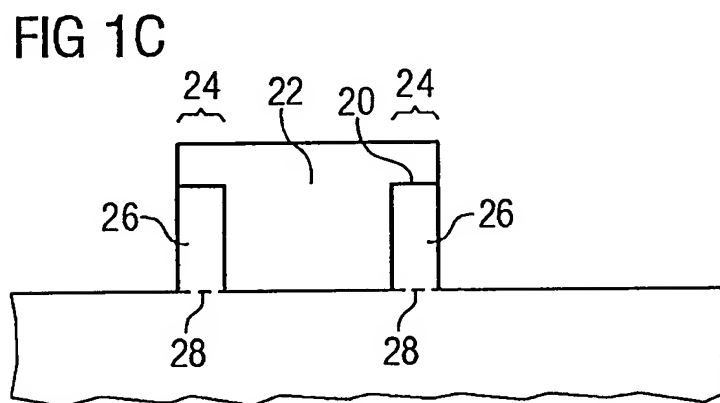
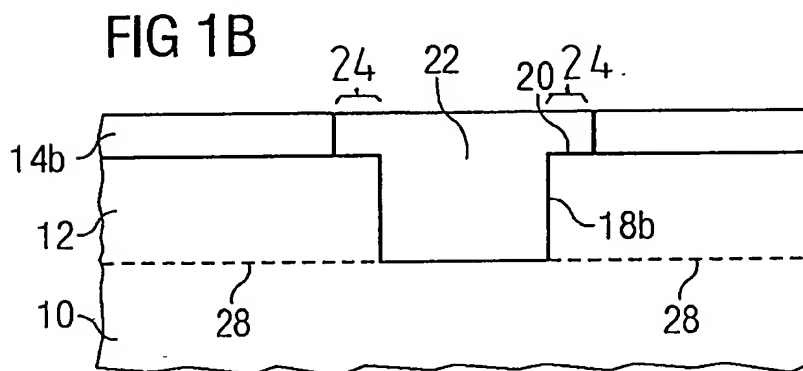
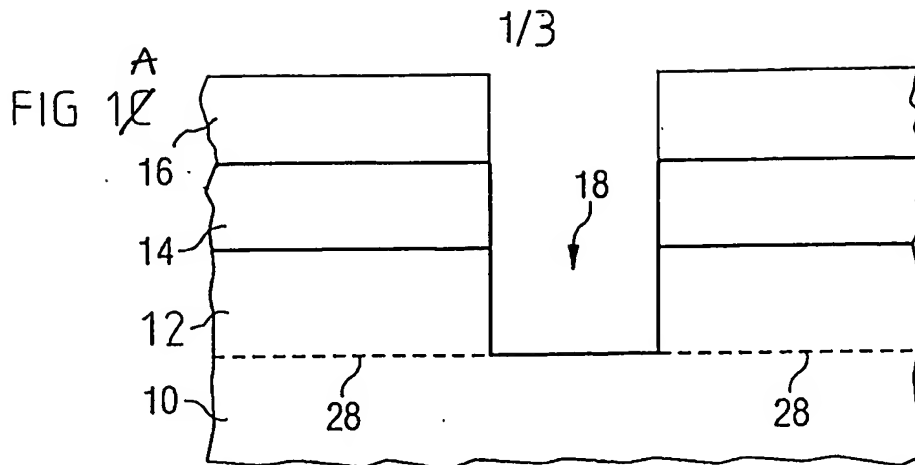




FIG 3A

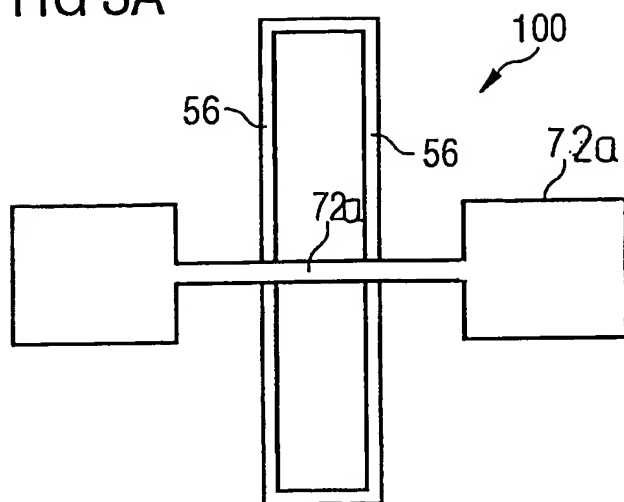
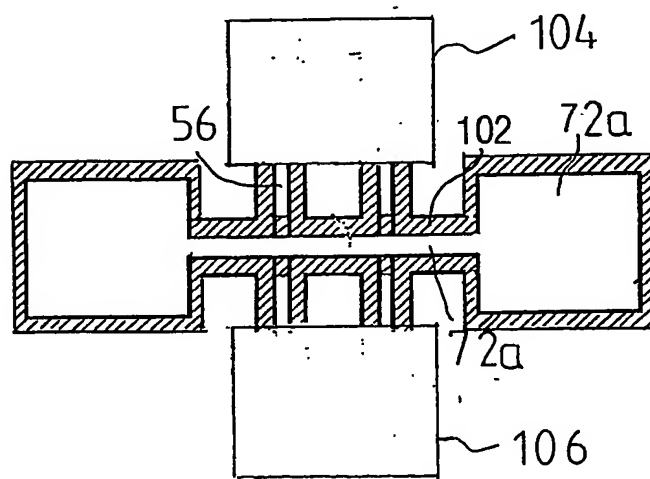


FIG 3B



**This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

## **IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**